



⑯ BUNDESREPUBLIK

DEUTSCHLAND



DEUTSCHES  
PATENT- UND  
MARKENAMT

⑯ Patentschrift  
⑯ DE 101 11 755 C 1

⑮ Int. Cl.<sup>7</sup>:

H 01 L 21/8242

⑯ Aktenzeichen: 101 11 755.8-33  
⑯ Anmeldetag: 12. 3. 2001  
⑯ Offenlegungstag: -  
⑯ Veröffentlichungstag:  
der Patenterteilung: 16. 5. 2002

Innerhalb von 3 Monaten nach Veröffentlichung der Erteilung kann Einspruch erhoben werden

⑯ Patentinhaber:

Infineon Technologies AG, 81669 München, DE

⑯ Vertreter:

Epping, Hermann & Fischer, 80339 München

⑯ Erfinder:

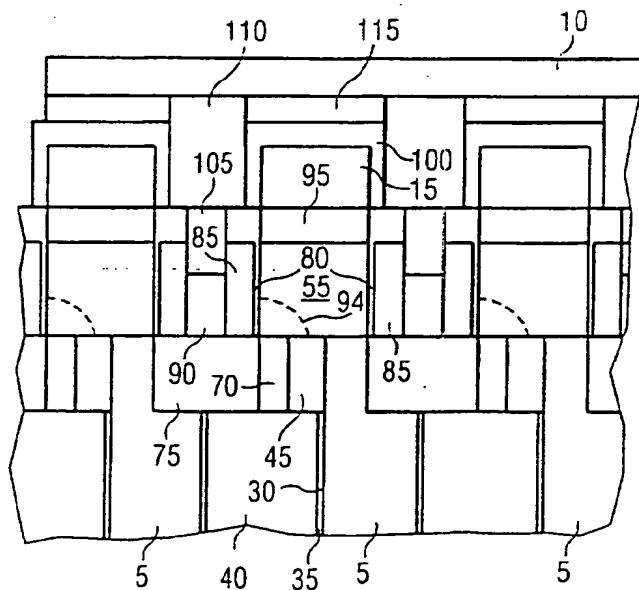
Hofmann, Franz, Dr., 80995 München, DE;  
Schlösser, Till, Dr., 01109 Dresden, DE

⑯ Für die Beurteilung der Patentfähigkeit in Betracht  
gezogene Druckschriften:

US 57 44 386  
US 52 08 657

⑯ Verfahren zur Herstellung einer Speicherzelle eines Halbleiterspeichers

⑯ Das Verfahren bildet zunächst Grabenkondensatoren in einem Substrat (5), die mit einer leitfähigen Grabenfüllung (40) gefüllt werden und in denen oberhalb der leitfähigen Grabenfüllung (40) eine erste Isolationsschicht (45) angeordnet ist. Die erste Isolationsschicht (45) wird nachfolgend seitlich mittels einer selektiv aufgewachsenen Epitaxieschicht überwachsen. Die selektive Epitaxieschicht wird so strukturiert, dass ein Steg (25) aus ihr gebildet wird. Nachfolgend wird der Steg (25) teilweise unterätzt, wobei die Atzselektivität des Stegs gegenüber der ersten Isolationsschicht (45) für eine nasschemische Ätzung verwendet wird. Nachfolgend wird in dem unterätzten Bereich eine Kontaktsschicht (70) angeordnet, die den Steg (25) und einen in dem Steg (25) gebildeten Transistor mit der leitfähigen Grabenfüllung (40) verbindet. Anschließend werden seitliche Randstege neben dem Steg (25) als Gate (85) gebildet und es wird ein Dotiergebiet (95) als Source- bzw. Drain-Gebiet des Transistors in den Steg (25) eingebracht.



DE 101 11 755 C 1

## Beschreibung

[0001] Die vorliegende Erfindung betrifft ein Verfahren zur Herstellung einer Speicherzelle eines Halbleiterspeichers. 5

[0002] Halbleiterspeicher, wie zum Beispiel DRAMs (Dynamic Random Access Memories) bestehen aus einem Zellenfeld und einer Ansteuerungsperipherie, wobei in dem Zellenfeld einzelne Speicherzellen angeordnet sind. 10

[0003] Ein DRAM-Chip enthält eine Matrix von Speicherzellen, welche in Form von Zeilen und Spalten angeordnet sind und von Wortleitungen und von Bitleitungen angesteuert werden. Das Auslesen von Daten aus den Speicherzellen oder das Schreiben von Daten in die Speicherzellen wird durch die Aktivierung geeigneter Wortleitungen und 15 Bitleitungen bewerkstelligt.

[0004] Üblicherweise enthält eine Speicherzelle eines DRAMs einen mit einem Kondensator verbundenen Transistor. Der Transistor besteht unter anderem aus zwei Diffusionsgebieten, welche durch einen Kanal voneinander getrennt sind, der von einem Gate gesteuert wird. Ein Diffusionsgebiet wird als Drain-Gebiet und das andere Diffusionsgebiet als Source-Gebiet bezeichnet. 20

[0005] Eines der Diffusionsgebiete ist mit einer Bitleitung, das andere Diffusionsgebiet mit einem Kondensator und das Gate mit einer Wortleitung verbunden. Durch Anlegen geeigneter Spannungen an das Gate wird der Transistor so gesteuert, daß ein Stromfluß zwischen den Diffusionsgebieten durch den Kanal ein- und ausgeschaltet wird. 25

[0006] Durch die fortschreitende Miniaturisierung von Speicherbauelementen wird die Integrationsdichte kontinuierlich erhöht. 30

[0007] Die kontinuierliche Erhöhung der Integrationsdichte bedeutet, daß die pro Speicherzelle zur Verfügung stehende Fläche immer weiter abnimmt. Um die zur Verfügung stehende Fläche effektiv auszunutzen, kann der Auswahltransistor als vertikaler Transistor an der Seitenwand eines Grabens oberhalb eines Grabenkondensators gebildet werden. Speicherzellen mit einem vertikalen Auswahltransistor sind beispielsweise aus der Druckschrift US 5,744,386 bekannt. Weitere Ausführungen zu Grabenkondensatoren und Transistoren sind in dem Patent US 5,208,657 beschrieben. 35

[0008] Die aus dem Stand der Technik bekannten Speicherzellen mit Grabenkondensator und vertikalem Auswahltransistor weisen allerdings den Nachteil auf, daß sie eine Zellfläche von mindestens  $5 F^2$  benötigen, wobei F das kleinste abbildungsbare Lithographiemaaß ist. 40

[0009] Es ist die Aufgabe der Erfindung, ein weiteres Verfahren zur Herstellung einer Speicherzelle eines Halbleiter-Speichers anzugeben, das Speicherzellen mit nur  $4 F^2$  ermöglicht. 45

[0010] Erfindungsgemäß wird die Aufgabe gelöst durch ein Verfahren zur Herstellung einer Speicherzelle eines Halbleiterspeichers mit den Schritten:

- Bereitstellen eines Substrats;
- Bilden eines Grabens in dem Substrat;
- Abscheiden eines Kondensatordielektrums in dem Graben;
- Abscheiden einer leitfähigen Grabenfüllung in dem Graben;
- Einsenken der leitfähigen Grabenfüllung in dem Graben;
- Abscheiden einer ersten Isolationsschicht auf die leitfähige Grabenfüllung in dem Graben;
- Epitaktisches Überwachsen der ersten Isolationsschicht mit einer epitaktisch aufgewachsenen Schicht,

ausgehend von dem Substrat;

- Bilden eines zweiten Grabens in der epitaktisch aufgewachsenen Schicht, der sich durch die erste Isolationsschicht bis zu der leitfähigen Grabenfüllung erstreckt, wobei ein Teil des Substrates ebenfalls bis zu der leitfähigen Schicht entfernt wird und ein Steg aus der epitaktisch aufgewachsenen Schicht gebildet wird;
- Ätzen der ersten Isolationsschicht, wobei die epitaktisch aufgewachsene Schicht unterstützt wird;
- Abscheiden und Einsenken einer Kontaktsschicht, wobei die Kontaktsschicht in dem unterätzten Bereich unterhalb der epitaktisch aufgewachsenen Schicht verbleibt;
- Abscheiden und Einsenken einer zweiten Isolationsschicht in den zweiten Graben;
- Bilden eines Gate-Oxids an dem Steg;
- Bilden von seitlichen Randstegen als Gate auf dem Gate-Oxid;
- Einbringen von Dotierstoff in den Steg, wobei ein Dotiergebiet gebildet wird;
- Bilden einer Bitleitung auf dem Dotiergebiet;
- Bilden einer Wortleitung oberhalb der Bitleitung;
- Bilden eines Wortleitungskontakts zum elektrischen Verbinden des Gates mit der Wortleitung.

[0011] Der Transistor wird in dem Steg gebildet, der aus der epitaktisch aufgewachsenen Schicht heraussstruktiert wurde. Vorteilhaft ist, daß ein Floating-Body-Effekt des vertikalen Transistors vermieden wird, da die epitaktisch aufgewachsene Schicht elektrisch mit dem Substrat verbunden ist und somit Ladung in das Substrat abfließen kann. Ein weiterer Vorteil des erfindungsgemäßen Verfahrens besteht in der kleinen Zellfläche von  $4 F^2$ , wodurch eine effektive Ausnutzung der Substratoberfläche ermöglicht ist. Ein weiterer Vorteil besteht darin, daß keine zusätzliche Isolation wie beispielsweise ein STI im Zellenfeld erforderlich ist, welches üblicherweise ein aktives Gebiet isoliert. Ein weiterer Vorteil besteht darin, daß auf einen Isolationsskragen in dem Graben verzichtet werden kann, da kein parasitärer Transistor an der Außenwand des Grabens angeordnet ist. 40

[0012] Eine vorteilhafte Ausgestaltung des erfindungsgemäßen Verfahrens sieht vor, daß der zweite Graben um mehr als ein Drittel der Breite des Grabens gegenüber dem Graben versetzt gebildet wird. Die versetzte Bildung des zweiten Grabens gegenüber dem Graben ermöglicht den erfindungsgemäßen elektrischen Anschluß der leitenden Grabenfüllung an den Auswahltransistor mittels des Unterätzens der epitaktisch aufgewachsenen Schicht und des Abscheidens der Kontaktsschicht in den unterätzten Bereich. 50

[0013] Ein weiterer Verfahrensschritt sieht vor, daß die epitaktisch aufgewachsene Schicht unterätzet wird. Hierdurch wird ein Hohlraum geschaffen, der zur Aufnahme einer Kontaktsschicht geeignet ist:

[0014] Eine weitere Ausgestaltung des erfindungsgemäßen Verfahrens sieht vor, daß die Kontaktsschicht konform abgeschieden wird und anschließend mittels eines gerichteten Ätzverfahrens aus dem zweiten Graben entfernt wird. Durch diesen Verfahrensschritt verbleibt die Kontaktsschicht unterhalb der epitaktisch aufgewachsenen Schicht, da bei einem gerichteten Ätzverfahren der Abtrag der Kontaktsschicht durch die epitaktisch aufgewachsene Schicht vermieden werden kann. 60

[0015] Eine weitere Verfahrensvariante sieht vor, daß die Kontaktsschicht aus dotiertem Silizium gebildet wird.

[0016] Weiterhin ist vorgesehen, daß die zweite Isolationsschicht konform auf dem Substrat und in den zweiten Graben abgeschieden wird, mittels chemisch-mechanischem Polieren eingeebnet wird und im zweiten Graben zu-

rückgeätzt wird. Hierdurch wird eine Isolationsschicht auf dem Boden des zweiten Grabens gebildet, welche die Kontaktsschicht vor nachfolgend abgeschiedenen leitfähigen Schichten isoliert.

[0017] Ein weiterer Verfahrensschritt sieht vor, daß nach dem Einsenken der Isolationsschicht thermisch eine Opferoxidschicht gebildet wird, die nachfolgend chemisch entfernt wird. Dieses Verfahren ist beispielsweise zur Reinigung und zur Behebung von Kristalldefekten einer Siliziumoberfläche geeignet, da die obersten Schichten der Siliziumoberfläche oxidiert werden und die Oxidschicht nachfolgend entfernt wird. Dies ist beispielsweise für die Behandlung der Kanaloberfläche geeignet, auf der nachfolgend ein Gate-Oxid abgeschieden werden kann.

[0018] Ein weiterer Verfahrensschritt sieht vor, daß das Gate konform mit einer Dicke von einem Drittel plus minus einem Sechstel der Breite des Grabens abgeschieden wird und anisotrop geätzt wird, wobei das Gate als seitlicher Randsteg gebildet wird. Hierdurch ist beispielsweise ermöglicht, daß das Gate als seitlicher Randsteg wie eine Hülse um den aus der epitaktisch aufgewachsenen Schicht herausstrukturierten Steg gebildet werden kann.

[0019] Ein weiterer Verfahrensschritt sieht vor, daß auf der Bitleitung und seitlich an der Bitleitung eine isolierende Schicht als Bitleitungshülle abgeschieden wird. Dadurch ist beispielsweise ermöglicht, daß die Bitleitungshülle bei nachfolgenden Ätzschritten als selbstjustierte Ätzmaske verwendet werden kann. Hierdurch ist beispielsweise eine selbstjustierte Bildung des Wortleitungskontaktes ermöglicht.

[0020] Weitere vorteilhafte Ausgestaltungen der Erfindung sind Gegenstand der jeweiligen Unteransprüche.

[0021] Nachfolgend wird die Erfindung anhand von Ausführungsbeispielen und Figuren näher erläutert.

[0022] In den Figuren zeigen:

[0023] Fig. 1 die Draufsicht auf ein Speicherzellenfeld mit Gate, Wortleitung und Bitleitung;

[0024] Fig. 2 bis 9 Schnittbilder entlang der Schnittlinie AA aus Fig. 1, die ein Verfahren zur Herstellung einer erfindungsgemäßen Speicherzelle darstellen.

[0025] In Fig. 1 ist die Draufsicht auf einen Ausschnitt eines Speicherzellenfeldes dargestellt. Auf dem Substrat 5 ist die epitaktisch aufgewachsene Schicht 55 angeordnet, aus der ein Steg 25 herausstrukturiert ist. Um den Steg 25 herum ist ein Gate 20 angeordnet. Auf dem Steg 25 verläuft eine Bitleitung 15 und eine Wortleitung 10 verläuft in etwa senkrecht dazu.

[0026] In Fig. 2 ist ein Schnittbild dargestellt, wobei in dem Substrat 5 ein Graben 30 angeordnet ist, der an seiner Grabenseitenwand mit einem Kondensatordielektrikum 35 bedeckt ist und mit einer leitfähigen Grabenfüllung 40 gefüllt ist. Oberhalb der leitfähigen Grabenfüllung 40 ist in dem Graben 30 eine erste Isolationsschicht 45 angeordnet. Auf dem Substrat 5 ist eine erste Maskenschicht 50 angeordnet.

[0027] Ein Verfahren zur Herstellung der in Fig. 2 dargestellten Anordnung stellt zunächst ein Substrat 5 bereit, auf das eine erste Maskenschicht 50 abgeschieden wird. Auf die erste Maskenschicht 50 wird eine Hartmaske abgeschieden, auf der eine Lackmaske angeordnet wird, die photolithographisch belichtet und anschließend entwickelt wird. Die Lackmaske wird zum Strukturieren der Hartmaske und der ersten Maskenschicht 50 verwendet. Dies wird beispielsweise mittels eines Ätzschrittes durchgeführt. Anschließend wird der Fotolack entfernt und der Graben 30 wird in das Substrat 5 geätzt, wobei die Hartmaske als Ätzmaske verwendet wird. Anschließend wird das Kondensatordielektrikum 35 in dem Graben 30 gebildet. Dies kann beispiels-

weise mittels einer thermischen Oxidierung beziehungsweise einer thermischen Nitridierung oder aber einer CVD-Abscheidung (Chemical Vapour Deposition) durchgeführt werden. Nachfolgend wird die leitfähige Grabenfüllung 40 in den Graben 30 abgeschieden.

[0028] Die erste Maskenschicht 50 ist beispielsweise aus Siliziumnitrid gebildet. Die Hartmaske kann beispielsweise aus Siliziumoxid gebildet werden. Das Kondensatordielektrikum ist beispielsweise aus Siliziumoxid, Siliziumnitrid oder Siliziumoxinitrid gebildet. Die leitfähige Grabenfüllung 40 ist beispielsweise aus hochdotiertem Polysilizium gebildet. Das Polysilizium kann beispielsweise n- oder p-dotiert sein, wobei Phosphor, Arsen oder Bor als Dotierstoff verwendet werden kann.

[0029] Nachfolgend wird die leitfähige Grabenfüllung 40 mittels eines CMP-Schrittes (Chemical Mechanical Polishing) von der ersten Maskenschicht 50 entfernt und in den Graben 30 mittels eines Ätzprozesses eingesenkt. Das Kondensatordielektrikum 35 wird aus dem oberen Bereich des Grabens 30 entfernt, der oberhalb der leitenden Grabenfüllung 40 angeordnet ist. Die erste Isolationsschicht 45 wird in dem oberen Bereich des Grabens 30 gebildet. Dazu wird beispielsweise ein HDP-Oxid abgeschieden. Ein HDP-Oxid wird beispielsweise mittels eines HDP-CVD-Prozesses abgeschieden (High Density Plasma – Chemical Vapour Deposition).

Nachfolgend wird die erste Isolationsschicht 45 von der ersten Maskenschicht 50 mittels eines CMP-Prozesses entfernt und bis zur Oberfläche des Substrats 5 in dem Graben 30 eingesenkt. Das HDP-Oxid ist beispielsweise ein Siliziumoxid.

[0030] Mit Bezug auf Fig. 3 wird die erste Maskenschicht 50 von dem Substrat 5 entfernt und anschließend eine selektive Epitaxieschicht 55 selektiv und epitaktisch auf dem Substrat 5 aufgewachsen. Dabei wird die erste Isolationsschicht 45 seitlich, ausgehend von dem freigelegten Substrat 5 überwachsen.

[0031] Mit Bezug auf Fig. 4 wird eine zweite Maskenschicht 65 beispielsweise aus Siliziumnitrid auf der epitaktisch aufgewachsenen Schicht 55 abgeschieden. Nachfolgend wird eine Lackmaske aufgebracht und phototechnisch belichtet und anschließend entwickelt. In einem Ätzschritt, bei dem die Lackmaske als Ätzmaske verwendet wird, wird in die zweite Maskenschicht 65, die epitaktisch aufgewachsene Schicht 55 und die erste Isolationsschicht 45 sowie in das Substrat 5 ein zweiter Graben 60 strukturiert. Der zweite Graben 60 erstreckt sich dabei bis zu der leitenden Grabenfüllung 40. Nachfolgend wird die Lackmaske entfernt und die erste Isolationsschicht 45 wird isotrop und naßchemisch geätzt, so daß die epitaktisch aufgewachsene Schicht 55 unterätzt wird.

[0032] Mit Bezug auf Fig. 5 wird nachfolgend die Kontaktsschicht 70 gebildet. Dazu wird die Kontaktsschicht 70 zunächst in den zweiten Graben 60 und auf der zweiten Maskenschicht 65 abgeschieden und anschließend mittels eines gerichteten Ätzschrittes von der zweiten Maskenschicht 65 entfernt. Hierbei verbleibt die Kontaktsschicht 70 unterhalb der epitaktisch aufgewachsenen Schicht 55, da dieser Bereich während der gerichteten Ätzung abgeschattet ist. Beispielsweise ist die Kontaktsschicht 70 aus n-dotiertem Polysilizium gebildet.

[0033] Nachfolgend kann mittels eines Temperaturschrittes Dotierstoff aus der Kontaktsschicht 70 in den Steg 25 hineindiffundieren, um beispielsweise ein Diffusionsgebiet 94 in dem Steg 25 zu bilden. Das Diffusionsgebiet 94 ist beispielsweise als unteres Source-Gebiet oder als Drain-Gebiet eines vertikalen Transistors verwendbar.

[0034] Mit Bezug auf Fig. 6 wird nachfolgend eine zweite Isolationsschicht 75 in dem zweiten Graben 60 gebildet.

Dazu wird beispielsweise ein Siliziumoxid mittels eines HDP-CVD-Prozesses abgeschieden. Dabei lagert sich Siliziumoxid auch auf der zweiten Maskenschicht 65 an. Nachfolgend wird ein CMP-Schritt durchgeführt, der das Siliziumoxid der zweiten Isolationsschicht 75 von der zweiten Maskenschicht 65 entfernt. Die zweite Isolationsschicht 75 wird nachfolgend in den zweiten Gräben 60 eingesenkt.

[0035] Mit Bezug auf Fig. 7 wird ein Opferoxid thermisch auf der Seitenwand des Stegs 25 in dem Graben 60 aufgewachsen und anschließend entfernt. Dies bewirkt, daß die Oberflächenqualität des Stegs 25 verbessert wird, wodurch ein später an der Oberfläche des Stegs 25 gebildeter Kanal eines Transistors verbessert werden kann. Nachfolgend wird ein Gate-Oxid 80 mittels eines Temperaturschrittes auf der Seitenwand des Stegs 25 aufgewachsen. Das Gate 85 wird konform abgeschieden, wobei es auf der zweiten Maskenschicht 65, dem Gate-Oxid 80 und auf dem Grabenboden in dem zweiten Graben 60 angeordnet wird. Das Gate 85 wird etwa mit einer Dicke abgeschieden, die ein Drittel der Breite des zweiten Grabens 60 beträgt. Nachfolgend wird eine anisotrope Ätzung durchgeführt, wobei das Gate 85 als seitlicher Randsteg neben dem Steg 25 herausgebildet wird. Das Gate 85 ist beispielsweise aus dotiertem Polysilizium gebildet. Nachfolgend wird eine dritte Isolationsschicht 90 in dem zweiten Graben 60 gebildet. Hierzu wird beispielsweise ein Siliziumoxid in dem zweiten Graben 60 und auf der zweiten Maskenschicht 65 abgeschieden und nachfolgend mit einem CMP-Schritt planarisiert. Nachfolgend wird die zweite Maskenschicht 65 von dem Steg 25 entfernt.

[0036] Mit Bezug auf Fig. 8 wird eine Dotierstoffimplantation mit Dotierstoff durchgeführt, wobei in dem Steg 25 ein Dotiergebiet 95 gebildet wird. Der Dotierstoff kann ebenfalls mittels einer Gasphasendotierung oder einer Diffusion eingebracht werden. Das Dotiergebiet 95 ist beispielsweise als Source-Gebiet oder Drain-Gebiet des vertikalen Transistors verwendbar. Nachfolgend wird optional eine Barrierenschicht auf der dritten Isolationsschicht 90 und dem Dotiergebiet 95 abgeschieden. Auf die Barrienschicht wird nachfolgend die Bitleitung 15 – beispielsweise aus Wolframsilizid – abgeschieden. Auf die Bitleitung 15 wird eine Nitridschicht und eine Lackmaske abgeschieden. Die Lackmaske wird phototechnisch belichtet, und entwickelt, und anschließend werden mittels der Lackmaske die Nitridschicht und die Bitleitung 15 und die eventuell vorhandene Barrienschicht strukturiert. Hierbei wird die Bitleitung 15 und der obere Teil der Bitleitungshülle 100 beispielweise aus Siliziumnitrid gebildet. Nachfolgend wird die Lackmaske entfernt und eine Nitridschicht konform abgeschieden, die als seitlicher Randsteg mittels einer anisotropen Ätzung strukturiert wird. Dadurch wird um die Bitleitung 15 die Bitleitungshülle 100 beispielsweise aus Siliziumnitrid gebildet.

[0037] Mit Bezug auf Fig. 9 wird eine vierte Isolationsschicht 115 abgeschieden und mittels eines CMP-Schrittes planarisiert. Die vierte Isolationsschicht 115 besteht beispielsweise aus Siliziumoxid. Nachfolgend wird ein Phototechnikschnitt für die Strukturierung der Wortleitung 10 durchgeführt. Hierbei werden in der vierten Isolationsschicht 115 Gräben gebildet, in denen nachfolgend die Wortleitung 10 angeordnet wird. Bevor die Wortleitung 10 in den Gräben in der vierten Isolationsschicht 115 angeordnet wird, wird ein zweiter phototechnischer Schritt durchgeführt, bei dem Gräben für den ersten Wortleitungskontakt 105 und den zweiten Wortleitungskontakt 110 in der vierten Isolationsschicht 115 und der dritten Isolationsschicht 90 gebildet werden. Nachfolgend werden in den gebildeten Gräben und Kontaktlöchern eine Barrienschicht abgeschieden und die Wortleitung 10, der erste Wortleitungskon-

takt 105 und der zweite Wortleitungskontakt 110 mittels einer Wolframabscheidung und eines nachfolgenden Wolfram-CMP-Schrittes abgeschieden und planarisiert.

## Bezugszeichenliste

- 5 Substrat
- 10 Wortleitung
- 15 Bitleitung
- 10 20 Gate
- 25 Steg
- 30 Graben
- 35 Kondensatordielektrikum
- 40 leitfähige Grabenfüllung
- 15 45 erste Isolationsschicht
- 50 erste Maskenschicht
- 55 epitaktisch aufgewachsene Schicht
- 60 zweiter Graben
- 65 zweite Maskenschicht
- 20 70 Kontaktsschicht
- 75 dritte Isolationsschicht
- 80 Gate-Oxid
- 85 Gate
- 25 90 vierte Isolationsschicht
- 94 Diffusionsgebiet
- 95 Dotiergebiet
- 100 Bitleitungshülle
- 105 erster Wortleitungskontakt
- 110 zweiter Wortleitungskontakt
- 30 115 vierte Isolationsschicht
- AA Schnittlinie

## Patentansprüche

- 35 1. Verfahren zur Herstellung einer Speicherzelle eines HalbleiterSpeichers mit den Schritten:
  - Bereitstellen eines Substrates (5);
  - Bilden eines Grabens (30) in dem Substrat (5);
  - Abscheiden eines Kondensatordielektrikums (35) in den Graben (30);
  - Abscheiden einer leitfähigen Grabenfüllung (40) in den Graben (30);
  - Einsenken der leitfähigen Grabenfüllung (40) in den Graben (30);
  - Abscheiden einer ersten Isolationsschicht (45) auf die leitfähige Grabenfüllung (40) in den Graben (30);
  - Epitaktisches Überwachsen der ersten Isolationsschicht (45) mit einer epitaktisch aufgewachsenen Schicht (55), ausgehend von dem Substrat (5);
  - Bilden eines zweiten Grabens (60) in der epitaktisch aufgewachsenen Schicht (55), der sich durch die erste Isolationsschicht (45) bis zu der leitfähigen Grabenfüllung (40) erstreckt, wobei ein Teil des Substrates (5) ebenfalls bis zu der leitfähigen Grabenfüllung (40) entfernt wird und ein Steg (25) aus der epitaktisch aufgewachsenen Schicht (55) gebildet wird;
  - Ätzen der ersten Isolationsschicht (45), wobei die epitaktisch aufgewachsene Schicht (55) unterätzt wird;
  - Abscheiden und Einsenken einer Kontaktsschicht (70), wobei die Kontaktsschicht (70) in dem unterätzten Bereich unterhalb der epitaktisch aufgewachsenen Schicht (55) verbleibt;
  - Abscheiden und Einsenken einer zweiten Isolationsschicht (75) in den zweiten Graben (60);

- Bilden eines Gate-Oxids (80) an den Steg (25);
- Bilden von seitlichen Randstegen als Gate (85) auf dem Gate-Oxid (80);
- Einbringen von Dotierstoff in den Steg (25), wobei ein Dotiergebiet (95) gebildet wird;
- Bilden einer Bitleitung (15) auf dem Dotiergebiet (95);
- Bilden einer Wortleitung (10) oberhalb der Bitleitung (15);
- Bilden eines Wortleitungskontakts (110) zur elektrischen Verbindung des Gates (85) mit der Wortleitung (10).

2. Verfahren nach Anspruch 1, dadurch gekennzeichnet, daß der zweite Graben (60) um mehr als ein Drittel der Breite des Grabens (30) gegenüber dem Graben (30) versetzt gebildet wird.

3. Verfahren nach einem der Ansprüche 1 oder 2, dadurch gekennzeichnet, daß die epitaktisch aufgewachsene Schicht (55) unterätzt wird.

4. Verfahren nach einem der Ansprüche 1 bis 3, dadurch gekennzeichnet, daß die Kontaktsschicht (70) konform abgeschieden wird und anschließend mittels eines gerichteten Ätzverfahrens aus dem zweiten Graben (60) entfernt wird.

5. Verfahren nach einem der Ansprüche 1 bis 4, dadurch gekennzeichnet, daß die Kontaktsschicht (70) aus dotiertem Silizium gebildet wird.

6. Verfahren nach einem der Ansprüche 1 bis 5, dadurch gekennzeichnet, daß die zweite Isolationsschicht (75) konform auf dem Substrat (5) und in dem zweiten Graben (60) abgeschieden wird, mittels chemisch-mechanischem Polieren eingeebnet wird und in den zweiten Graben (60) zurückgeätzt wird.

7. Verfahren nach einem der Ansprüche 1 bis 6, dadurch gekennzeichnet, daß nach dem Einsenken der Isolationsschicht (25) thermisch eine Opferoxidschicht gebildet wird, die nachfolgend chemisch entfernt wird.

8. Verfahren nach einem der Ansprüche 1 bis 7, dadurch gekennzeichnet, daß das Gate (85) konform mit einer Dicke von einem Drittel plus minus einem Sechstel der Breite des Grabens (30) abgeschieden wird und anisotrop geätzt wird, wobei das Gate (85) als seitlicher Randsteg gebildet wird.

9. Verfahren nach einem der Ansprüche 1 bis 8, dadurch gekennzeichnet, daß auf der Bitleitung (15) und seitlich an der Bitleitung (15) eine isolierende Schicht (110) als Bitleitungshülle abgeschieden wird.

---

Hierzu 5 Seite(n) Zeichnungen

50

55

60

65

FIG 1

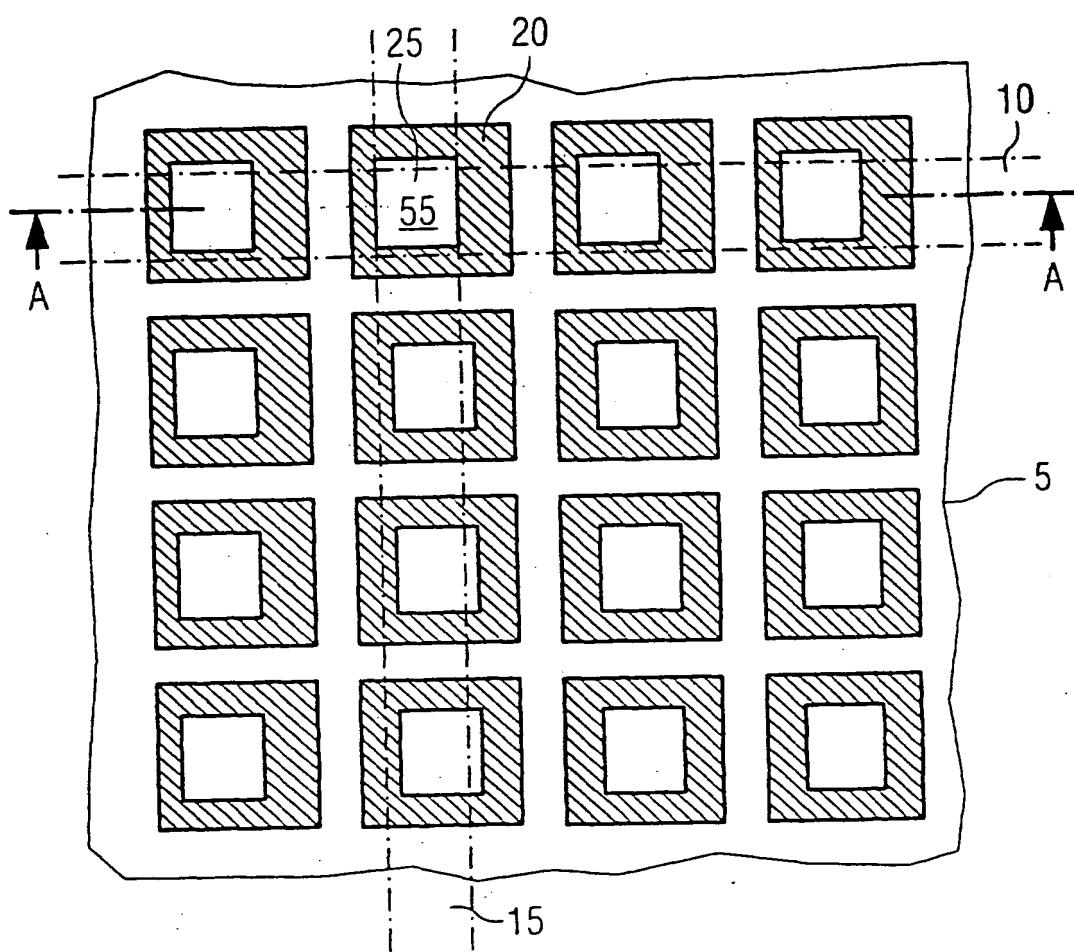


FIG 2

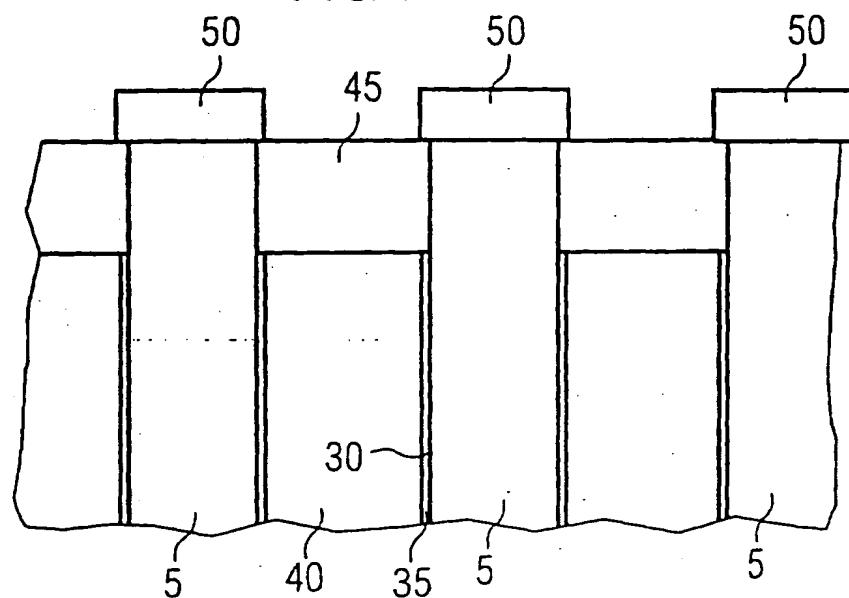


FIG 3

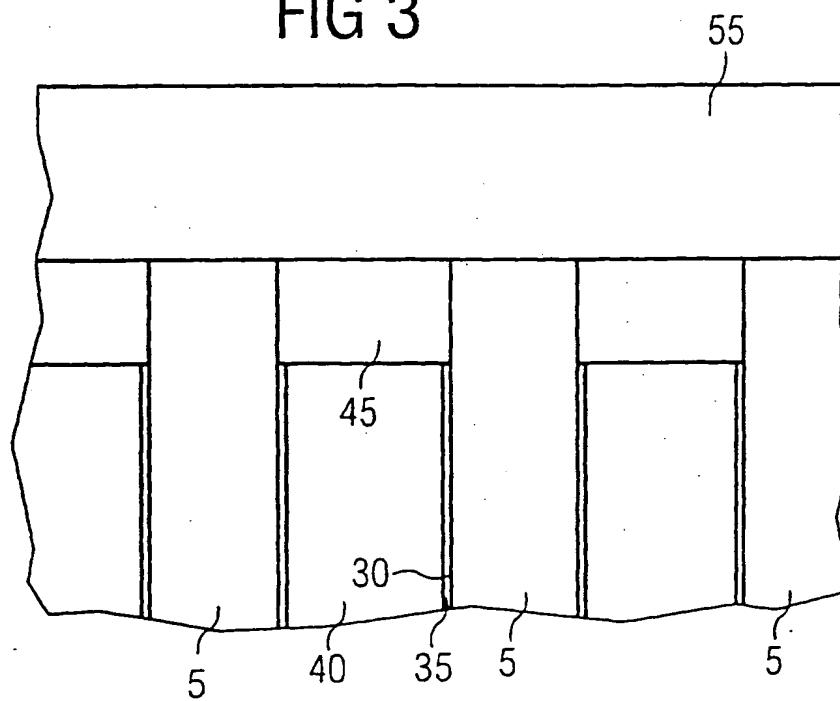


FIG 4

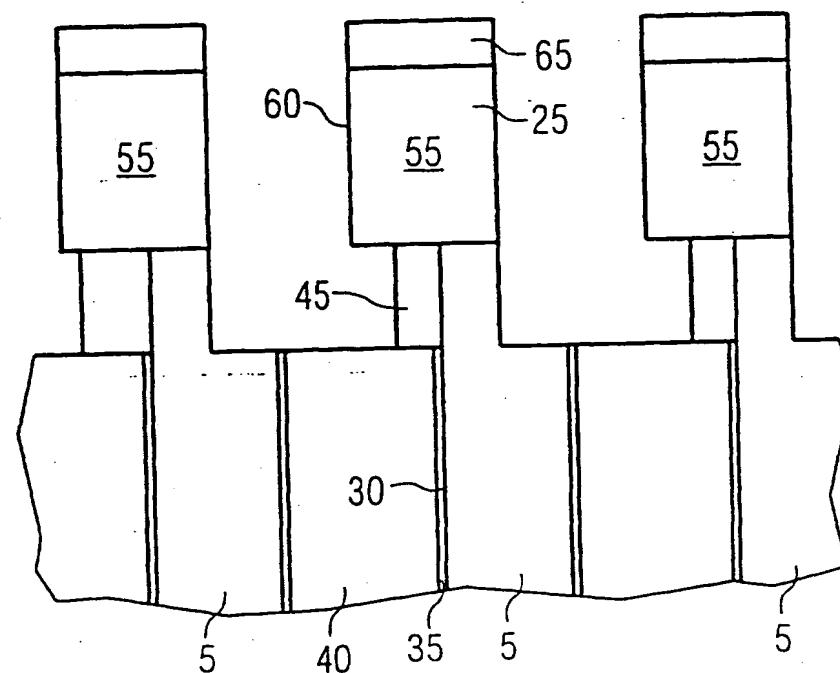


FIG 5

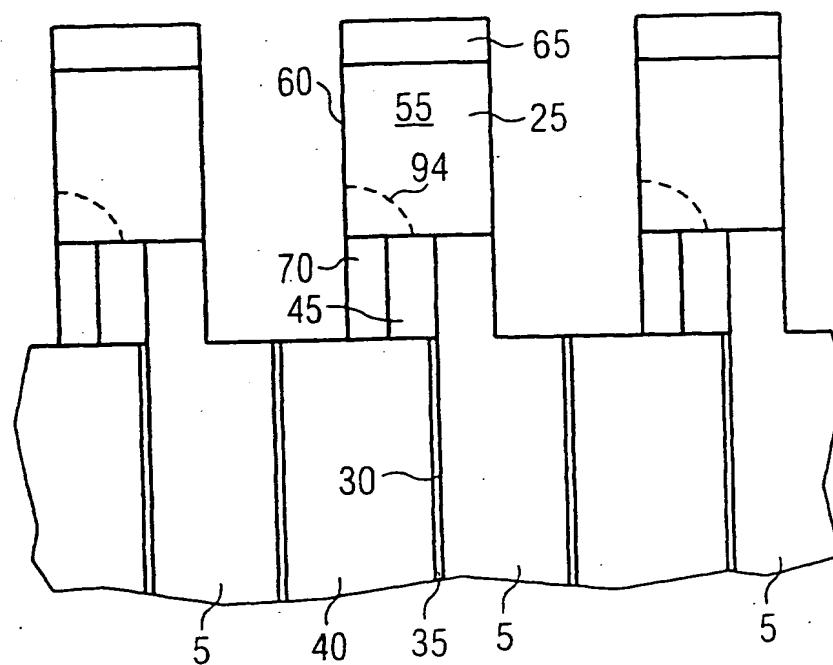


FIG 6

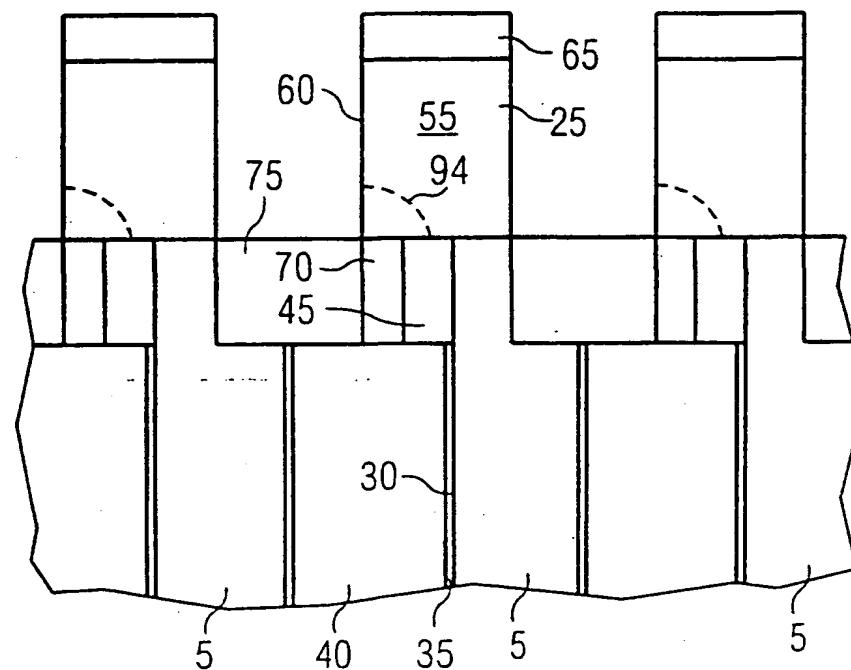


FIG 7

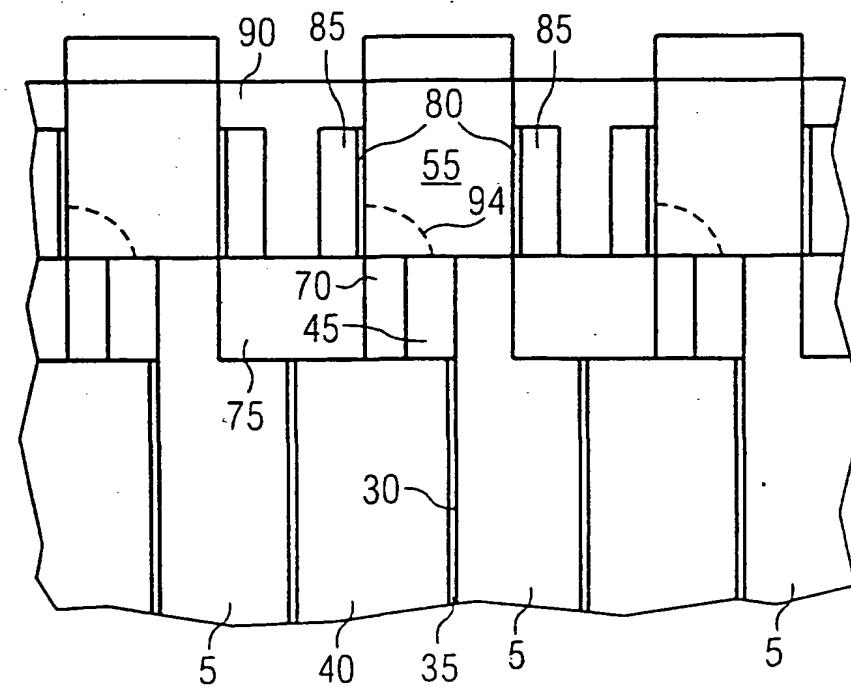


FIG 8

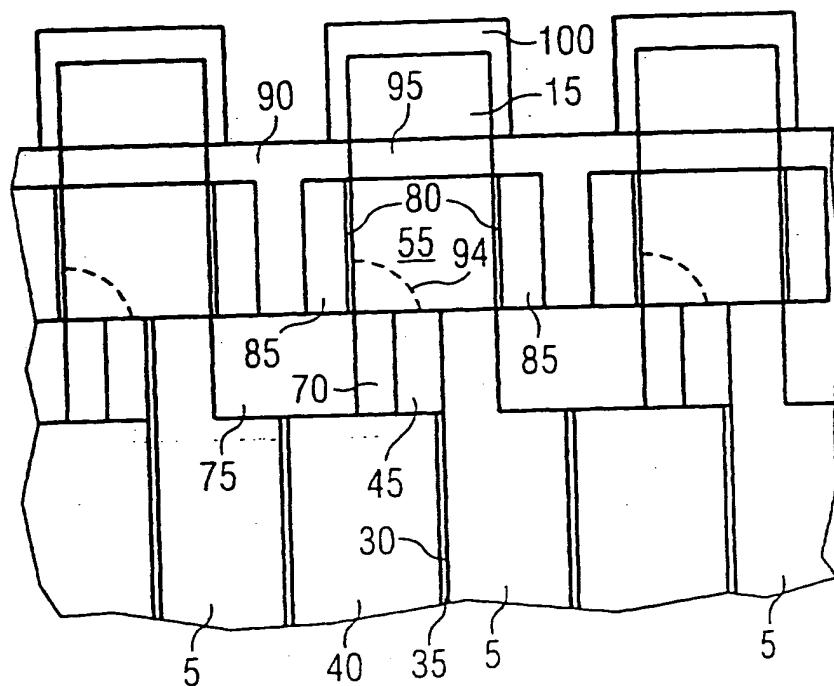
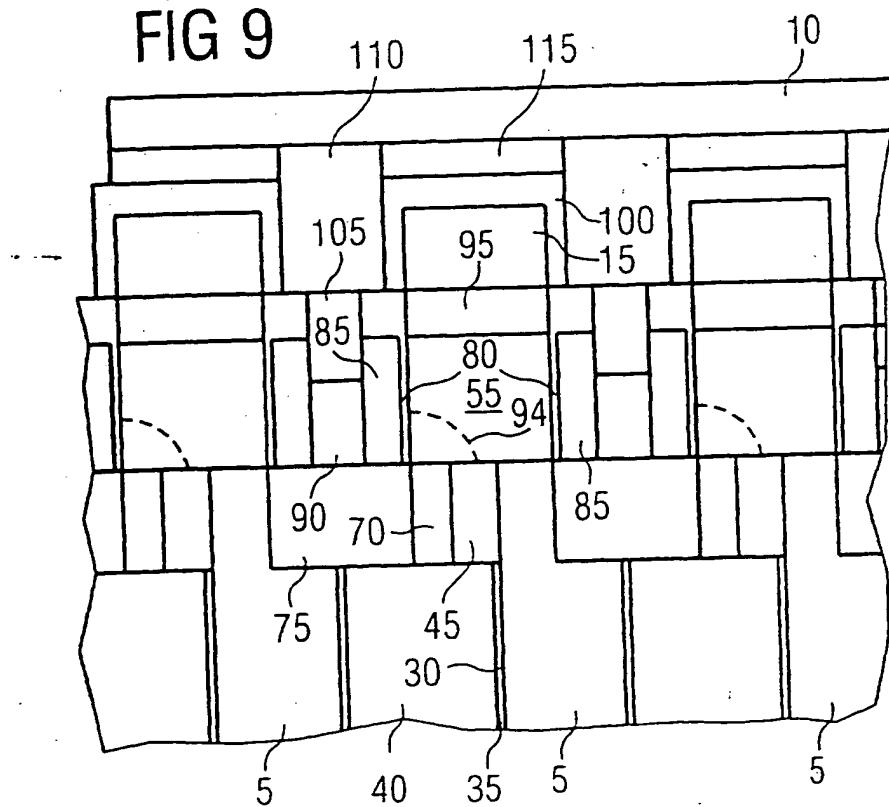


FIG 9



**Method for producing a cell of a semiconductor memory**

Patent Number: US2002127796

Publication date: 2002-09-12

Inventor(s): HOFMANN FRANZ (DE); SCHLOSSER TILL (DE)

Applicant(s):

Requested Patent: DE10111755

Application Number: US20020096473 20020312

Priority Number(s): DE20011011755 20010312

IPC Classification: H01L21/8242

EC Classification: H01L21/8242B6B, H01L21/8242C2

Equivalents: US6566193

---

**Abstract**

---

The process first forms trench capacitors in a substrate, which are filled with a trench fill and in which a first insulating layer is disposed over the conductive trench fill. The first insulating layer is then overgrown laterally by a selectively grown epitaxial layer. The selective epitaxial layer is so structured that a ridge is formed from it. Next, the ridge is partially undercut, whereby the etch selectivity of the ridge relative to the first insulating layer is utilized for a wet-chemical etching procedure. Next, a contact layer is arranged in the undercut region, which connects the ridge and a transistor that has been formed in the ridge to the conductive trench fill. Lateral margin ridges are then formed next to the ridge as a gate, and a doped region is incorporated into the ridge as a source/drain zone of the transistor

---

Data supplied from the esp@cenet database - I2

---

DOCKET NO: MUH-12876  
SERIAL NO: \_\_\_\_\_  
APPLICANT: B. kowalski et al.  
LERNER AND GREENBERG P.A.  
P.O. BOX 2480  
HOLLYWOOD, FLORIDA 33022  
TEL. (954) 925-1100